

Docket No.: 67161-044

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Mitsutaka NIIRŌ

Serial No.: Group Art Unit:

Filed: July 03, 2003 Examiner:

For: SEMICONDUCTOR DEVICE THAT CAN MEASURE TIMING DIFFERENCE BETWEEN
INPUT AND OUTPUT SIGNALS

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

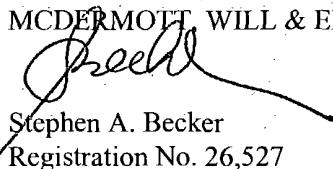
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-010917, filed January 20, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
Date: July 3, 2003

日本国特許庁

JAPAN PATENT OFFICE

67161-044

Mitsutaka Niijo

July 3, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 1月20日

出願番号

Application Number:

特願2003-010917

[ST.10/C]:

[JP2003-010917]

出願人

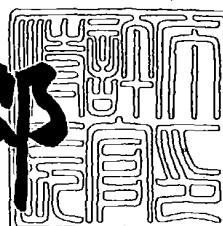
Applicant(s):

三菱電機株式会社

2003年 2月18日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3008365

【書類名】 特許願
【整理番号】 541852JP01
【提出日】 平成15年 1月20日
【あて先】 特許庁長官殿
【国際特許分類】 G04F 10/00
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 新納 充貴
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎
【選任した代理人】
【識別番号】 100085132
【弁理士】
【氏名又は名称】 森田 俊雄
【選任した代理人】
【識別番号】 100083703
【弁理士】
【氏名又は名称】 仲村 義平
【選任した代理人】
【識別番号】 100096781
【弁理士】
【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 通常モードとテストモードとを動作モードとして有する半導体装置であつて、

入力信号に応じて所定処理を実行して、前記所定処理に応じた出力信号を出力する内部回路と、

前記テストモード時、前記入力信号をそれぞれ異なる遅延時間だけ遅延させた n 個 (n : 自然数) の遅延信号として出力する遅延回路と、

前記 n 個の遅延信号にそれぞれ対応して設けられる n 個の比較回路とを備え、

前記 n 個の比較回路の各々は、前記テストモード時に、対応する遅延信号の出力と、前記内部回路からの前記出力信号の出力とのいずれが早いかの比較結果を出力する、半導体装置。

【請求項2】 前記遅延回路は、各々が前記入力信号を前記異なる遅延時間だけ遅延させる予め順序付けられた n 本 (n : 自然数) の電気配線を含み、

前記 n 本の電気配線は、1番目から n 番目までの電気配線の順に所定距離ずつ長くされた n 個の経路長をそれぞれ有する、請求項1に記載の半導体装置。

【請求項3】 前記 n 個の比較回路の各々は、前記テストモード時、前記対応する遅延信号と前記出力信号との論理演算に基づいた比較判定信号を出力する論理回路を含み、

前記テストモード時、前記 n 個の比較回路から出力される予め順序付けられた n 個の前記比較判定信号を1番目から n 番目の順で1つずつ出力する変換回路と

前記通常モード時、前記出力信号を外部へ出力する出力端子と、

前記出力端子の前段に設けられ、前記テストモード時、前記出力信号を前記外部へ出力する経路を遮断するスイッチとをさらに備え、

前記テストモード時、前記出力端子からは、前記変換回路からの前記 n 個の比較判定信号が1番目から n 番目の順で前記外部へ出力される、請求項2に記載の半導体装置。

【請求項4】 前記変換回路は、

前記n個の比較判定信号をそれぞれ一時的に記憶し、予め順序付けられたn個の一時記憶回路と、

前記n個の一時記憶回路にそれぞれ対応して設けられたn個のシフト回路と、

前記n個の一時記憶回路と前記n個のシフト回路との間にそれぞれ対応して設けられたn個のスイッチとを含み、

前記n個のスイッチは、前記n個の一時記憶回路が前記n個の比較判定信号をそれぞれ一時的に記憶した後の所定期間、前記n個の一時記憶回路と前記n個のシフト回路とをそれぞれ電気的に接続し、前記所定期間経過後は、前記n個の一時記憶回路と前記n個のシフト回路とをそれぞれ電気的に非接続とし、

前記n個のシフト回路の各々は、前記所定期間、対応する一時記憶回路から前記比較判定信号を受け、

p番目（p：2以上n以下の自然数）のシフト回路は、前記所定期間経過後、クロック信号に応じて、（p-1）番目のシフト回路へ入力された前記比較判定信号を出力し、

1番目のシフト回路からは、前記所定期間経過後、前記n個の比較判定信号が1番目からn番目の順で出力される、請求項3に記載の半導体装置。

【請求項5】 前記n本の電気配線の各々は、前記入力信号を所定時間だけ遅延させるための経路長変化部を有し、

前記経路長変化部は、

所定箇所の両側にそれぞれ位置する第1のノードと第2のノードとの間を前記所定箇所を介して第1の距離で電気的に接続する第1の配線と、

前記第1の配線上の前記第1のノードと前記第2のノードとが前記所定箇所を介して電気的に接続されているか否かに関わらず、前記第1のノードと前記第2のノードとの間を、前記第1の距離とは異なる第2の距離で電気的に接続する第2の配線と有し、

前記第1の距離は前記第2の距離より短い、請求項2に記載の半導体装置。

【請求項6】 前記n本の電気配線の各々は、前記入力信号を所定時間だけ遅延させるための経路長変化部を有し、

前記経路長変化部は、

所定箇所の両側にそれぞれ位置する第1のノードと第2のノードとの間を前記所定箇所を介して第1の距離で電気的に接続する第1の配線と、

前記第1の配線上の前記第1のノードと前記第2のノードとが前記所定箇所を介して電気的に接続されているか否かに関わらず、前記第1のノードと前記第2のノードとの間を前記第1の配線の上部または下部を経由して、前記第1の距離とは異なる第2の距離で電気的に接続する第2の配線とを有し、

前記第1の距離は前記第2の距離より短い、請求項2に記載の半導体装置。

【請求項7】 前記n個の比較回路の各々は、前記テストモード時、前記対応する遅延信号と前記出力信号との論理演算に基づいた比較判定信号を出力する第1の論理回路を含み、

前記テストモード時、前記n個の比較回路から出力される予め順序付けられたn個の前記比較判定信号が入力される判定回路をさらに備え、

前記判定回路は、前記テストモード時、前記内部回路からの前記出力信号が前記n個の比較回路へ入力されるまでの時間と同等の時間で前記入力信号を遅延させる前記n本の電気配線のうちの1つに対応する比較回路から出力される前記n個の比較判定信号のうちのm番目（m：nより小さい自然数）の比較判定信号を基準として、（m-k）（k：自然数 1≤k<m）から（m+k）番目の比較判定信号の論理演算結果を出力するs個の（s：自然数）第2の論理回路を含む、請求項2に記載の半導体装置。

【請求項8】 前記s個の第2の論理回路は、前記同等の時間の長さに応じて、選択的に活性化される、請求項7に記載の半導体装置。

【請求項9】 前記通常モード時、前記出力信号を外部へ出力する出力端子と、

前記出力端子の前段に設けられ、前記テストモード時、前記出力信号を前記外部へ出力する経路を遮断するスイッチとをさらに備え、

前記テストモード時、前記出力端子からは、前記判定回路からの前記論理演算結果が前記外部へ出力される、請求項7に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、より特定的には、入出力信号間のタイミング差を測定可能な半導体装置に関する。

【0002】

【従来の技術】

半導体装置の重要な特性試験の1つに、トリガとなる入力を受けてから所定動作を完了するまでの時間を測定する、タイミング測定が挙げられる。代表的には、半導体装置において、読み出し要求を与えてから実際に出力データが現れるまでの時間で定義されるアクセスタイムの測定が挙げられる。

【0003】

このようなタイミング測定には、半導体装置への入力信号と、当該入力信号に応じた半導体装置からの出力信号との間のタイミング差を高精度で測定する必要がある。たとえば、このような目的のため、外部に設けられた測定装置を用いて、測定対象物（以下、DUT（Device Unit Testing）とも称する）における入出力信号間のタイミング差を高精度に測定する技術が開示されている。（例えば、特許文献1参照）。

【0004】

【特許文献1】

特開平11-133167号公報（第6頁、第2図）

【0005】

【発明が解決しようとする課題】

近年の半導体装置の高周波動作化に伴って、タイミング測定をより高精度に行なう必要が生じている。たとえば、外部動作クロックが133MHzであるダブルデータレートSDRAM（Double Data Rate SDRAM：以下、DDR-SDRAMと称する。）においては、バーストリード動作において、外部クロック信号と2番目以降の出力データとのタイミング時間を規定したtACを0.1ns以下の精度で測定することが要求される。

【0006】

しかしながら、特許文献1に開示されるような、外部に設けられた測定装置を用いて高精度のタイミング測定を行なうには、外部に特別な測定設備を設ける必要がある。なぜなら、DUTと測定装置を接続するための複数の電気配線の経路長の差を高精度に補正する必要があるからである。また、複数の電気配線間で発生するクロストークや寄生容量等により入出力信号の信号に歪み等が発生しても高精度なタイミング測定を行なうには、非常に高性能で高価な測定装置が必要となる。そのため、測定設備のコストが高騰するとともに、生産コストも高騰するという問題点があった。

【0007】

この発明は、以上のような問題点を解決するためになされたものであって、この発明の目的は、低成本でかつ、入出力信号間のタイミング差を高精度に測定可能な半導体装置を提供することである。

【0008】

【課題を解決するための手段】

この発明に従う半導体装置は、通常モードとテストモードとを動作モードとして有する半導体装置であって、入力信号に応じて所定処理を実行して、所定処理に応じた出力信号を出力する内部回路と、テストモード時、入力信号をそれぞれ異なる遅延時間だけ遅延させたn個（n：自然数）の遅延信号として出力する遅延回路と、n個の遅延信号にそれぞれ対応して設けられるn個の比較回路とを備え、n個の比較回路の各々は、テストモード時に、対応する遅延信号の出力と、内部回路からの出力信号の出力とのいずれが早いかの比較結果を出力する。

【0009】

【発明の実施の形態】

以下において、本発明の実施の形態について、図面を参照しながら説明する。なお、図中同一符号は同一または相当部分を示す。

【0010】

【実施の形態1】

図1は、本願発明に従う半導体装置の代表例として示される半導体記憶装置1000のタイミング測定に関する部分の構成を示すブロック図である。

【0011】

以下の説明で明らかになるように、本願発明は、トリガとなる入力信号に応じて所定処理を実行し、当該所定処理に対応する出力信号を所定規格を満たすタイミングで出力する内部回路を備える半導体装置に共通に適用することができる。たとえば、DDR-SDRAMである半導体記憶装置1000におけるtACの測定を代表例とした実施の形態を以下に説明する。

【0012】

半導体記憶装置1000は、通常の動作を行なう通常モードと入出力信号間のタイミング差を測定するテストモードとの2つの動作モードを有する。通常モードでは、半導体記憶装置1000の内部の回路（図示せず）によって発生されるテスト信号TSはHレベルに設定される。一方、テストモードでは、テスト信号TSはLレベルに設定される。

【0013】

図1を参照して、半導体記憶装置1000は、入力端子31と、内部回路100と、データ出力回路20と、スイッチ回路40と、出力端子32とを備える。

【0014】

入力端子31へは、入力信号SINが入力される。入力信号は、たとえば、クロック信号である。また、入力端子31は、たとえば、クロック信号が入力されるクロック端子である。

【0015】

内部回路100は、メモリセルアレイと周辺回路を総括的に示したものである。また、内部回路100は、通常モード時およびテストモード時のいずれにおいても、入力信号SINに応じて所定処理を行ない、データ出力回路20へ信号を出力する。

【0016】

データ出力回路20は、たとえばCMOS (Complementary Metal Oxide Semiconductor) インバータバッファで構成される。データ出力回路20は、電源電圧Vccと接地電圧GNDとの間に直列に接続されたPチャネルMOSトランジスタ21とNチャネルMOSトランジスタ22とを含む。データ出力回路20は

、内部回路100から入力された信号を増幅し、入力された信号の反転レベルの信号を出力する。なお、以下においては、信号およびデータ等の2値的な高電圧状態（たとえば、電源電圧Vcc）および低電圧状態（たとえば、接地電圧GND）を、それぞれ、HレベルおよびLレベルとも称する。また、以下においては、先頭に記号“／”が付された信号は、当該“／”を付さない信号を反転した信号であるものとする。

【0017】

スイッチ回路40は、通常モード時、Hレベルのテスト信号TSが入力されるとデータ出力回路20と出力端子32とを電気的に接続する。一方、スイッチ回路40は、テストモード時、Lレベルのテスト信号TSが入力されるとデータ出力回路20と出力端子32とを電気的に非接続とする。

【0018】

出力端子32は、通常モード時、データ出力回路20から出力された信号を出力信号SOUTとして出力する。出力信号SOUTは、たとえば、内部回路100内のメモリセルアレイ（図示せず）から読み出されたデータ信号である。出力端子32は、たとえば、データ信号が出力されるDQ端子である。

【0019】

したがって、半導体記憶装置1000は、通常モード時、入力端子31から入力された入力信号SINに応じて内部回路100で所定処理を行なう。そして、半導体記憶装置1000は、内部回路100から出力された信号をデータ出力回路20を介して、出力端子31から出力信号SOUTとして出力する。

【0020】

半導体記憶装置1000は、さらに、PチャネルMOSトランジスタ11と、遅延回路200とを備える。

【0021】

PチャネルMOSトランジスタ11は、入力端子31および内部回路100の接続ノードと遅延回路200との間に設けられる。PチャネルMOSトランジスタ11のゲートへは、テスト信号TSが入力される。なお、本実施の形態においては、入力端子31と遅延回路200とを電気的に接続するためにPチャネルM

OSトランジスタを使用しているがNチャネルMOSトランジスタを用いてもよい。

【0022】

遅延回路200は、各々が、電気信号を伝達する経路長の異なる電気配線C1～Cnを含む。したがって、電気配線C1～Cnは、入力信号をそれぞれ異なる遅延時間だけ遅延させる。以下においては、電気配線C1～Cnを総括的に表現する場合には、電気配線Cnとも称する。

【0023】

図2(a)および図2(b)は、電気信号の経路長を変化させることができな電気配線Cnの構成を説明するための図である。

【0024】

図2(a)を参照して、電気配線Cnは、電気信号に所定の伝播遅延時間を生じさせるための経路長変化部LC1～LCmを有する。経路長変化部LC1は、M点と○点とを最短距離で接続する主配線部ML1と、M点と○点とをN点を介して接続する副配線部SL1とを有する。経路長変化部LC2～LCmは、経路長変化部LC1と同様に、主配線部ML2～MLmをそれぞれ有する。また、さらに、経路長変化部LC2～LCmは、経路長変化部LC1と同様に、副配線部SL2～SLmをそれぞれ有する。

【0025】

図2(b)を参照して、電気配線Cnにおいて、経路長変化部LC1は、主配線部ML1上のM点と○点とを電気的に非接続とするための溶断部B1を有する。経路長変化部LC2～LCmは、経路長変化部LC1と同様に、溶断部B2～Bmをそれぞれ有する。

【0026】

経路長変化部LC1内の溶断部B1をレーザ等で溶断することにより、M点から○点へ最短距離で伝達されていた電気信号を、N点を介して伝達されるようになることができる。そのため、経路長変化部LC1において、溶断部B1を溶断するか否かで、電気信号の経路長を変化させることができ、M点と○点との間の電気信号の伝播時間を変化させることができる。

【0027】

したがって、溶断部B1の溶断前と溶断後のM点からO点への当該伝播時間の差が、例えば、10psとなるように、電気配線Cnを設計しておけば、溶断部B1～Bmの全てが溶断されていない電気配線Cnと溶断部B1～Bmのうちの10個が溶断されている電気配線Cnとでは、100ps(0.1ns)の電気信号の伝播時間の差を生じさせることが可能となる。その結果、電気配線C1～Cnが溶断部B1～Bmのうち、溶断された溶断部をそれぞれ“0”～(n-1)個有するようにすれば、電気配線C1～Cnの順で、信号の伝播時間を所定時間ずつ長くすることが可能となる。

【0028】

再び図1を参照して、電気配線C1～Cnの各々へは、テストモード時、PチャネルMOSトランジスタ11がターンオンしたときに、入力端子31から入力される入力信号SINが比較信号CPIとして入力される。電気配線C1～Cnの各々は、比較信号CPIを、電気配線C1～Cnの順で、所定時間ずつ長くされた伝播時間で伝達する。

【0029】

半導体記憶装置1000は、さらに、PチャネルMOSトランジスタ12と、比較回路CP1～CPnと、信号配線CO1～CONとを備える。

【0030】

PチャネルMOSトランジスタ12は、信号配線CO1～CONとスイッチ回路40およびデータ出力回路20の接続ノードとの間に設けられる。PチャネルMOSトランジスタ12のゲートへは、テスト信号TSが入力される。なお、本実施の形態においては、信号配線CO1～CONとスイッチ回路40およびデータ出力回路20の接続ノードとを電気的に接続するためにPチャネルMOSトランジスタを使用しているがNチャネルMOSトランジスタを用いてもよい。

【0031】

信号配線CO1～CONは、比較回路CP1～CPnの各々とPチャネルMOSトランジスタ12との間にそれぞれ配置される。信号配線CO1～CONの各々は、電気配線Cnと同様な構成の配線が使用される。信号配線CO1～CON

の配線長は全て等しくなるように、信号配線CO1～CO_nの各々が有する溶断部を溶断することにより調整される。また、さらに、信号配線CO1～CO_nの配線長は、通常モード時において、データ出力回路20から出力される信号がデータ端子32に到達する時間と、テストモード時において、データ出力回路20から出力される信号がPチャネルMOSトランジスタ12および信号配線CO1～CO_nをそれぞれ介して比較回路CP1～CP_nに到達する時間とが等しくなるように構成される。

【0032】

比較回路CP1～CP_nは、電気配線C1～C_nと信号配線CO1～CO_nとの間にそれぞれ設けられる。なお、後述するテストモード時の半導体記憶装置1000の動作の説明上、信号配線CO1および比較回路CP1の接続ノードを接続ノードN1、電気配線C1～C_nと比較回路CP1～CP_nとの接続ノードをそれぞれ接続ノードM1～M_nとする。信号配線CO2～CO_nと比較回路CP2～CP_nとのそれぞれの接続ノードの電圧レベルは、接続ノードN1の電圧レベルと等しい。比較回路CP1～CP_nの各々へは、テストモード時、出力回路20からの出力信号が、PチャネルMOSトランジスタ12および対応する信号配線CO1～CO_nを介して、比較信号CPOとして入力される。

【0033】

以下においては、比較回路CP1～CP_nおよび信号配線CO1～CO_nを総括的に表現する場合には、それぞれ比較回路CP_nおよび信号配線CO_nとも称する。

【0034】

図3は、比較回路CP_nの構成を示す回路図である。

図3を参照して、比較回路CP_nは、一例として、AND回路で構成される。比較回路CP_nの各々は、電気配線C_nを介して入力される比較信号CP1と比較信号CPOとの論理積演算を行なった判定信号SCP<n>を出力する。したがって、比較回路CP1～CP_nは、それぞれ判定信号SCP<1>～SCP<n>を出力する。なお、以下において、判定信号SCP<1>～SCP<n>を総括的に表現する場合には、判定信号SCP<n:1>とも称する。また、以下

、本明細書においては、複数ビットの信号を総括的に示す場合には、同様の表記を用いるものとする。

【0035】

再び図1を参照して、半導体記憶装置1000は、さらに、変換回路30を備える。

【0036】

変換回路30は、テストモード時、複数ビットで構成される判定信号SCP<n:1>を1ビットの判定信号REに変換して出力する。すなわち、変換回路30は、パラレルシリアル変換を行なう。変換回路30から出力された判定信号REは、出力端子32から出力信号SOUTとして出力される。

【0037】

以上説明したように、半導体記憶装置1000は、通常モード時、データ出力回路20からの出力信号を出力端子32から出力する。一方、半導体記憶装置1000は、テストモード時、変換回路30からの判定信号REを出力端子32から出力する。したがって、半導体記憶装置1000においては、入出力信号間のタイミング差の測定結果を示す判定信号REを出力するための端子を別途設ける必要がない。

【0038】

図4は、テストモード時の半導体記憶装置1000の動作を説明するための動作波形図である。より特定的には、tACを測定する際の半導体記憶装置1000の動作を説明する動作波形図である。

【0039】

図1および図4を参照して、M1～Mnは、接続ノードM1～Mnの各々の電圧レベルを示す。N1は、接続ノードN1の電圧レベルを示す。また、テストモード時に比較信号CPOがN1まで伝達されるまでの時間と、通常モード時にデータ出力回路20からの出力信号が出力端子32まで伝達されるまでの時間とは等しい。また、入力信号SINはクロック信号であるとする。

【0040】

DDR-SDRAMでは、外部から入力されるクロック信号（以下、外部クロ

ックとも称する)の立上がりと立下がりとに同期して動作する。また、DDR-SDRAMでは、内部にクロック発生回路(図示せず)を備え、外部クロックに同期した内部クロックを当該クロック発生回路によって生成する。当該内部クロックに応じて、データ信号は出力される。tACは、外部クロックの立上がりまたは立下がりの時刻と、バーストリード動作において、DDR-SDRAMから出力される2番目以降のデータ信号(以下においては、tAC測定データ信号とも称する)が出力される時刻との差の時間である。

【0041】

tACを測定する際、半導体記憶装置1000が通常モードからテストモードに移行するのは、以下のタイミングとなる。半導体記憶装置1000から出力されるtAC測定データ信号に対応した、外部から入力されるクロック信号の立上がりまたは立下がりの時刻と当該クロック信号の1つ前の立下がりまたは立上がりの時刻との中間付近のタイミングである。

【0042】

図4に示す動作波形図で、N1がHレベルとなった時刻t4は、通常モードにおいて、半導体記憶装置1000の出力端子32からtAC測定データ信号が出力される時刻と等しい。なお、電気配線C1～Cnのうちの1つの電気配線の信号の伝播時間が、tACとほぼ同様になるように、あらかじめ、電気配線C1～Cnの各々の信号の伝播時間は、溶断部を溶断することにより調整されているものとする。そのため、比較信号CPIが電気配線C1～Cnのうちの信号の伝播時間がtACとなるように調整された電気配線を介して対応する比較回路CPrnに到達するまでの時間が、tACとなる。

【0043】

半導体記憶装置1000が通常モードからテストモードに移行した時刻t1のときの入力信号SIN(クロック信号)の電圧レベルを持った信号が比較信号CPIとなる。そのため、接続ノードM1～Mnの電圧レベルは、電気配線C1～Cnの各々の信号の伝播時間だけ遅れて、比較信号CPI(入力信号SIN)の電圧レベルになる。

【0044】

したがって、時刻 t_1 において、入力信号 SIN は H レベルであるので、接続ノード $M_1 \sim M_n$ の電圧レベルは、対応する電気配線 C_n の各々の信号の伝播時間だけ遅れて H レベルとなる。その後の、時刻 t_2 に、入力信号 SIN は L レベルになっても、接続ノード $M_1 \sim M_n$ の各々の電圧レベルは、電気配線 $C_1 \sim C_n$ の各々の信号の伝播時間だけ H レベルを維持する。

【0045】

半導体記憶装置1000は、入力信号 SIN が L レベルになった（すなわち、クロック信号が立ち下がった）時刻 t_2 と t_{AC} 測定データ信号が出力される時刻に相当する時刻 t_4 との差が t_{AC} となる。そのため、時刻 t_4 においても、接続ノード $M_1 \sim M_n$ のうちの電圧レベルを H レベルに維持しているいくつかの接続ノードにそれぞれ対応する電気配線 C_n のうちの最も伝播時間の短い電気配線 C_n が伝播時間を t_{AC} に調整された電気配線となる。

【0046】

したがって、比較回路 $CP_1 \sim CP_n$ の出力信号である判定信号 $SCP < n : 1 >$ のうちの、信号の伝播時間を t_{AC} に調整された電気配線 C_n に対応する比較回路 CP_n に対応する判定信号 $SCP < n >$ を境に電圧レベルが変化する。そのため、判定信号 $SCP < n : 1 >$ がパラレルシリアル変換された判定信号 RE のうちの何番目の信号から電圧レベルが変化しているかを判定することにより、半導体記憶装置1000の t_{AC} を測定可能となる。

【0047】

図5は、実施の形態1に従う、比較回路 CP_n の出力信号である判定信号 $SCP < n >$ の状態を示した動作波形図である。

【0048】

図1、図4および図5を参照して、比較回路 CP_7 へ入力された比較信号 CI と比較信号 CPO とが共に H レベルである時間は非常に短いため、判定信号 $SCP < 7 >$ も H レベルである期間が短くなっている。比較回路 $CP_8 \sim CP_n$ の各々へ入力された比較信号 CI と比較信号 CPO が共に H レベルである時間は、電気配線 $C_8 \sim C_n$ の順に長くなる。そのため、判定信号 $SCP < 8 > \sim SCP < n >$ が H レベルである期間が $SCP < n >$ の順に、判定信号 $SCP < 8 > \sim SCP < n >$ が H レベルである期間が

長くなっている。

【0049】

したがって、図5に示すような波形をそれぞれ示す判定信号SCP<1>～SCP<n>をパラレルシリアル変換するには、各信号の電圧レベルを維持する時間がほぼ同等でないと、一般的なパラレルシリアル変換回路では正常に変換できない。そこで、判定信号SCP<1>～SCP<n>を正常にパラレルシリアル変換できる回路構成を以下に説明する。

【0050】

図6は、変換回路30の構成を示す回路図である。

図6を参照して、変換回路30は、フリップフロップ回路FF1～FFnと、NチャネルMOSトランジスタLG1～LGnと、シフト回路SF1～SFnとを含む。

【0051】

フリップフロップ回路FF1～FFnへは、それぞれ、判定信号SCP<1>～SCP<n>が入力され、フリップフロップ回路FF1～FFnの各々は、入力された信号を一時記憶する。

【0052】

NチャネルMOSトランジスタLG1～LGnは、フリップフロップ回路FF1～FFnとシフト回路SF1～SFnとの間にそれぞれ設けられる。NチャネルMOSトランジスタLG1～LGnのゲートへは、解除信号LATが入力される。NチャネルMOSトランジスタLG1～LGnは、ゲートへHレベルの解除信号LATが入力されると、フリップフロップ回路FF1～FFnとシフト回路SF1～SFnとを電気的に接続する。

【0053】

シフト回路SF1～SFnへは、解除信号LATがHレベルの期間、対応して設けられるフリップフロップ回路FF1～FFnにそれぞれ一時的に記憶され、解除信号LATがHレベルの期間だけ電圧レベルが維持されたデータ信号が、NチャネルMOSトランジスタLG1～LGnをそれぞれ介して入力される。シフト回路SF1～SFnの各々は、入力されたデータを一時的に記憶する。シフト

回路SF1は、シフト回路SF2からの出力データが入力される。シフト回路SF2は、シフト回路SF3からの出力データが入力される。すなわち、シフト回路SFnは、シフト回路SF(n+1)からの出力データが入力される。

【0054】

その後、解除信号LATがLレベルに設定されると、シフト回路SF1～SFnの各々は、半導体記憶装置1000の外部から入力されたクロック信号CLKまたは半導体記憶装置1000の内部で生成されたクロック信号CLK応じて、入力されたデータを出力し、最終的に、フリップフロップ回路FF1からFFnにそれぞれ記憶されたデータが、順番にシフト回路SF1からシリアルな判定信号REとして出力される。

【0055】

変換回路30は、以上説明したような回路構成をもつことにより、図5に示すような波形をそれぞれ示す判定信号SCP<1>～SCP<n>を正常にパラレル～シリアル変換することが可能となる。

【0056】

次に、図1、図4および図6を参照して、半導体記憶装置1000のtACの測定方法を説明する。また、電気配線C1～Cnの信号の伝播時間は、一例として、電気配線C1～Cnの順で、20psずつ長くなるように設定されているとする。

【0057】

時刻t1において、テスト信号TSがLレベルになると、半導体記憶装置1000は、通常モードからテストモードに移行する。同時にスイッチ回路40は、データ出力回路20と出力端子32とを電気的に非接続とする。さらに、同時にPチャネルMOSトランジスタ11, 12はターンオンし、入力端子31へ入力される入力信号SINがPチャネルMOSトランジスタ11を介して、比較信号CPIとして、遅延回路200へ入力される。そのため、時刻t1において、入力信号SINはHレベルであるので、接続ノードM1～Mnの電圧レベルは、対応する電気配線Cnの各々の信号の伝播時間だけ遅れてHレベルとなる。

【0058】

遅延回路200へ入力された比較信号CPIは、電気配線C1～Cnを介することにより、電気配線C1～Cnの順で、20 p.sずつ信号の伝播時間が長くなつたn個の信号となる。すなわち、比較回路CP1へ比較信号CPIが40 p.s後に伝達されるよう電気配線C1が構成されていたとすると、比較回路CP2へは、比較信号CPIは60 p.s後に伝達される。以下、同様に比較回路CP3～CP8の各々へは、80 p.s～180 p.s後に比較信号CPIが伝達される。比較回路CP9～CPnの各々へも同様に180 p.sから20 p.sずつ加算された伝播時間で、比較信号CPIが伝達される。そのため、時刻t2において、入力信号SINがLレベルになると、電気配線C1に対応する接続ノードM1の電圧レベルは、時刻t2から40 p.s後の時刻t3においてLレベルとなる。したがって、電気配線C2～C8の電圧レベルは、時刻t2から60 p.s～180 p.s後にそれぞれLレベルとなる。

【0059】

一方、入力端子31から入力された入力信号SINに応じて、内部回路100は所定処理を行ない、データ出力回路20にデータ信号を出力する。データ出力回路20から出力された信号は、PチャネルMOSトランジスタ12を介して、比較信号CPOとなる。時刻t4において、N1の電圧レベルがHレベルになっているため、時刻t4において、Hレベルの比較信号CPOが比較回路CP1～CPnの各々へ到達したことが分かる。比較回路CP1～CPnの各々は、電気配線C1～Cnのうちの対応する電気配線を介して入力される比較信号CPIと比較信号CPOとの論理積演算が行なわれた信号を出力する。また、時刻t4において、Hレベルを維持している電気配線C7に対応する比較回路CP7の出力信号が、tACを判定可能なデータとなる。

【0060】

また、さらに、時刻t4において、比較回路CP7～CPnへ、共にHレベルの比較信号CPIおよび比較信号CPOが入力されるため、比較回路CP7～CPnは、それぞれ、Hレベルの判定信号SCP<7>～SCP<n>を出力する。また、さらに、時刻t4において、接続ノードM1～M6は、Hレベルを維持していない。そのため、接続ノードM1～M6にそれぞれ対応する比較回路CP

1～C P 6は、L レベルの判定信号 S C P<0>～S C P<6>を出力する。

【0061】

その後、判定信号 S C P<n:1>は、変換回路 30 に入力される。判定信号 S C P<n:1>のうちの L レベルの判定信号 S C P<0>～S C P<6>は、フリップフロップ回路 F F 1～F F 6 に一時的に記憶される。判定信号 S C P<n:1>のうちの H レベルの判定信号 S C P<7>～S C P<n>は、フリップフロップ回路 F F 7～F F n に一時的に記憶される。

【0062】

時刻 t 5において L レベルであるテスト信号 T S が H レベルに設定されると、半導体記憶装置 1000 はテストモードから通常モードに移行する。その後、所定期間、解除信号 L A T が H レベルに設定され、変換回路 30 内の N チャネル M O S トランジスタ L G 1～L G n はターンオンする。フリップフロップ回路 F F 1～F F n に一時的に記憶されたデータは、フリップフロップ回路 F F 1～F F n にそれぞれ対応して設けられるシフト回路 S F 1～S F n のそれぞれへ N チャネル M O S トランジスタ L G 1～L G n をそれぞれ介して入力される。シフト回路 S F 1～S F n の各々は、入力されたデータを一時的に記憶する。その後、解除信号 L A T が L レベルに設定されると、シフト回路 S F 1～S F n は、クロック信号 C L K に応じて、各々へ入力されたデータを出力し、最終的に、フリップフロップ回路 F F 1～F F n の順番で、各々に記憶されたデータが順番にシフト回路 S F 1 からシリアルな判定信号 R E として出力される。

【0063】

判定信号 R E は、出力端子 32 から出力信号 S O U T として出力され、外部に設けられたカウンタ回路（図示せず）等により、入力された何番目のデータ信号から H レベルになっているかが判定される。本実施の形態では、判定信号 S C P<7>～S C P<n>が H レベルに設定されるため、7 番目の出力信号の以降が H レベルであることが分かる。したがって、H レベルの判定信号 S C P<7>を出力した比較回路 C P 7 に対応する電気配線 C 7 の信号の伝播時間が、t A C とほぼ等しいということが判定できる。その結果、本実施の形態では、電気配線 C 7 の信号の伝播時間は 160 p s であるので、半導体記憶装置 1000 の t A C

は、160psであることが分かる。

【0064】

以上説明したように、実施の形態1に従う半導体記憶装置1000に入出力信号間のタイミング差を判定可能なデータを出力する測定回路を内蔵することで、低コストでかつ、高精度に入出力信号間のタイミング差を測定することが可能となる。

【0065】

なお、本実施の形態においては、半導体装置がDDR-SDRAMである場合のtACの測定方法の説明を代表的に説明したが、本願発明の適用範囲は、半導体装置がDDR-SDRAMのような半導体記憶装置に限定されるものではない。本願発明は、通常モードからテストモードに切り替わるタイミングを測定の対象となる規格の時間に応じて、内部で変えることにより、トリガとなる入力信号に応じて所定処理を実行し、当該所定処理に対応する出力信号を所定規格を満たすタイミングで出力する内部回路を備える半導体装置に共通に適用することができる。

【0066】

【実施の形態1の変形例1】

次に、半導体記憶装置1000内の電気配線Cnおよび信号配線COnにおいて、電気信号の伝播時間を変化させる別の構成について説明する。

【0067】

図7は、実施の形態1の変形例1に従う半導体記憶装置1000aの構成を示すブロック図である。

【0068】

図7を参照して、半導体記憶装置1000aは、図1に示す実施の形態1に従う半導体記憶装置1000と比較して、遅延回路200の代わりに遅延回路200aを備える点と、信号配線CO1～COnの代わりに信号配線COa1～COanを備える点とが異なる。遅延回路200aは、遅延回路200と比較して、電気配線C1～Cnの代わりに電気配線Ca1～Canを含む点が異なる。それ以外の構成は、半導体記憶装置1000と同様なので詳細な説明は繰り返さない

。以下においては、信号配線COa1～COanおよび電気配線Ca1～Canを総括的に表現する場合には、それぞれ信号配線COanおよび電気配線Canとも称する。

【0069】

図8 (a) および図8 (b) は、電気配線Canおよび信号配線COanにおいて、電気信号の伝播時間を変化させる別の構成を説明するための図である。

【0070】

図8 (a) を参照して、電気配線Canおよび信号配線COanは、電気信号に所定の伝播遅延時間を生じさせるための経路長変化部SOL1～SOLmを有する。

【0071】

図8 (b) は、図8 (a) における電気配線Canおよび信号配線COanのX点とY点との間の断面図である。

【0072】

経路長変化部SOL1～SOLmは、上層配線UP1～UPmをそれぞれ有する。また、さらに、経路長変化部SOL1～SOLmは、スルーホールSA1～SAMをそれぞれ有する。また、さらに、経路長変化部SOL1～SOLmは、スルーホールSB1～SBmをそれぞれ有する。また、さらに、経路長変化部SOL1～SOLmは、下層配線UL1～ULmをそれぞれ有する。また、さらに、経路長変化部SOL1は、上層配線UP1上のP点とQ点とを電気的に非接続とするための溶断部BSO1を有する。また、さらに、経路長変化部SOL2～SOLmは、上層配線UP1と同様に、溶断部BSO2～BSOmをそれぞれ有する。

【0073】

上層配線UP1は基板上の表面に配置され、P点とQ点とを最短距離で接続する。上層配線UP2～UPmも、上層配線UP1と同様に構成される。下層配線UL1～ULmは、基板の内部において、上層配線UP1～UPmにそれぞれ対応し、対応する上層配線の下部にそれぞれ配置される。スルーホールSA1～SAMは、上層配線UP1～UPmの各々の一端と、下層配線UL1～ULmの各

々の一端とをそれぞれ電気的に接続する。スルーホールSB1～SBmは、上層配線UP1～UPmの各々の他端と、下層配線UL1～ULmの各々の他端とをそれぞれ電気的に接続する。

【0074】

電気配線Ca_nおよび信号配線COa_nは、溶断部BSO1をレーザ等で溶断することにより、上層配線UP1上においてP点からQ点へ最短距離で伝達されていた電気信号を、スルーホールSA1、下層配線UL1およびスルーホールSB1をそれぞれ介して伝達されるようにすることができる。そのため、経路長変化部SOL1において、図2(b)に示した電気配線Cnと同様に溶断部BSO1を溶断するか否かで、電気信号の経路長を変化させることができ、さらに、電気配線Cnのように2次元的ではなく3次元的に、P点とQ点との間の電気信号の伝播時間を変化させることができとなる。

【0075】

また、電気配線Ca1～Ca_nが、電気配線C1～Cnと同様、溶断部BSO1～BSOmのうち、溶断された溶断部をそれぞれ“0”～(n-1)個有するようすれば、電気配線Ca1～Ca_nの順で、信号の伝播時間を所定時間ずつ長くすることが可能となる。信号配線COa1～COa_nについても、電気配線Ca1～Ca_nと同様な効果が得られる。

【0076】

半導体記憶装置1000aにおける入出力信号間のタイミング差の測定方法は、半導体記憶装置1000と同様なので詳細な説明は繰り返さない。

【0077】

以上説明したように、実施の形態1の変形例1に従う半導体記憶装置1000aは、電気配線Ca_nおよび信号配線COa_nを、半導体記憶装置1000内の電気配線Cnおよび信号配線CO_nのように2次元的ではなく、3次元的に構成している。そのため、半導体記憶装置1000aは、基板表面上の配線面積を縮小することができ、回路面積の縮小化を図ることができる。

【0078】

[実施の形態2]

次に、入出力信号間のタイミング差を測定するための所定の判定パターンを複数設けておき、入力信号に応じて切替える構成を備えた半導体記憶装置について説明する。実施の形態2における半導体記憶装置においても、トリガとなる入力信号に応じて所定処理を実行し、当該所定処理に対応する出力信号を所定規格を満たすタイミングで出力する内部回路を備える半導体装置に共通に適用することができる。

【0079】

図9は、実施の形態2に従う半導体記憶装置1000bの構成を示すブロック図である。

【0080】

図9を参照して、半導体記憶装置1000bは、図1に示す実施の形態1に従う半導体記憶装置1000と比較して、変換回路30の代わりに判定回路50を備える点と、モードレジスタ60をさらに備える点とが異なる。半導体記憶装置1000bは、半導体記憶装置1000と比較して、さらに、出力端子32に判定信号REの代わりに判定信号REJが入力される点が異なる。それ以外の構成は、半導体記憶装置1000と同様なので詳細な説明は繰り返さない。判定信号REJは、入出力信号間のタイミング差が規格値に応じて設定された期待値を満たしているか否かを判定する信号である。

【0081】

モードレジスタ60は、半導体記憶装置1000b内部の回路（図示せず）から出力されるモード設定信号MDに応じて、モード選択信号SL<3:0>を出力する。判定回路50へは、モード選択信号SL<3:0>が入力される。また、さらに、判定回路50は判定信号REJを出力する。

【0082】

図10は、判定回路50の構成を示す回路図である。

図10を参照して、判定回路50は、OR回路51, 52, 53, 54を含む。OR回路51, 52, 53, 54は、それぞれ、モード選択信号SL<0>～SL<3>に応じて活性状態および非活性状態のいずれかになる。OR回路51, 52, 53, 54の各々は、Hレベルのモード選択信号に応じて活性化され、

L レベルのモード選択信号に応じて非活性状態となる。また、モード選択信号 S L<0>～S L<3>は、1つのモード選択信号のみがH レベルに設定され、残りのモード選択信号はL レベルに設定される。したがって、OR回路51, 52, 53, 54 のうちの1つのみがモード選択信号 S L<3:0>に応じて、活性化されることとなる。OR回路51, 52, 53, 54 の各々へは、3つの信号が入力される。OR回路51, 52, 53, 54 の各々は、活性状態であるとき、3つの信号の論理和演算を行なった信号を判定信号 R E J として出力する。判定信号 R E J は、出力端子32 から出力信号 S O U T として出力される。

【0083】

OR回路51, 52, 53, 54 の各々は、入出力信号間のタイミング差の種類に応じて、入力される信号が設定される。たとえば、電気配線 C 1 が比較信号 C P I を 100 p s 後に比較回路 C P 1 に伝達するように構成されていたとする。また、電気配線 C 1 ～ C n の信号の伝播時間は、一例として、電気配線 C 1 ～ C n の順で、10 p s ずつ長くなるように設定されているとする。したがって、比較回路 C P 2 ～ C P 8 の各々へは、110 p s ～ 170 p s 後に比較信号 C P I が伝達される。

【0084】

上記のような条件を備えた半導体記憶装置 1000b において、測定対象の入出力信号間のタイミング差が 110 p s になるように設計された入出力信号間のタイミング差を測定する場合、比較回路 C P 2 から出力される判定信号 S C P<2> が判定基準信号に設定される。また、測定対象の入出力信号間のタイミング差の規格値の許容範囲が ±10 p s である場合、当該判定基準信号の前後の信号、すなわち、判定信号 S C P<1> および S C P<3> を OR回路 51 に入力するように判定回路 50 は構成される。

【0085】

その結果、規格値の許容範囲を含めた入出力信号間のタイミング差が 100 p s ～ 120 p s である場合、モード選択信号 S L<0> が H レベルに設定されており、かつ、判定信号 S C P<1> ～ S C P<3> のうちの少なくとも 1 つが H レベルに設定されていれば、OR回路 51 は、H レベルの判定信号 R E J を出力

する。OR回路51からLレベルの判定信号REJが出力された場合、規格値の許容範囲を含めた測定対象の入出力信号間のタイミング差が100ps～120psでないということが判定可能となる。したがって、測定対象となった半導体記憶装置1000bは、不良品であるということが判定可能となる。OR回路52, 53, 54についても、OR回路51と同様に、規格値の許容範囲が±10psである場合、測定対象の入出力信号間のタイミング差に応じて基準となる判定信号SCP<n>と前後の信号とが入力されるようとする。その結果、モードレジスタ60により設定されたモード選択信号SL<3:0>に応じて、活性化させるOR回路を切替えることにより、規格値の許容範囲を含めた複数の異なる入出力信号間のタイミング差が規格値に応じて設定された期待値を満たしているか否かを判定可能となる。

【0086】

なお、OR回路に入力される信号の数は3つに限定されない。OR回路に入力される信号を4つ以上とすることで、より規格値の許容範囲の広い入出力信号間のタイミング差が規格値に応じて設定された期待値を満たしているか否かも判定可能となる。またOR回路の数は特に限定されることなく、測定対象の入出力信号間のタイミング差の数に応じて増減させればよい。

【0087】

以上説明したように、実施の形態2に従う半導体記憶装置1000bは、測定対象の規格値の許容範囲を含めた入出力信号間のタイミング差が規格値に応じて設定された期待値を満たしているか否かを判定可能な回路を内蔵することにより、外部にカウンタ回路等を設ける必要がなくなる。そのため、測定設備のコストを実施の形態1に従う半導体記憶装置1000よりもさらに削減することができる。また、半導体記憶装置1000bは、実施の形態1に従う半導体記憶装置1000のように外部でカウンタ回路等により測定結果を判定する必要がないため、信号の測定時間も大幅に短縮可能となる。

【0088】

なお、本発明の各実施の形態における半導体記憶装置においては、遅延回路と入力端子との間にはスイッチとして動作するトランジスタのみが設けられている

が、入力端子とトランジスタとの間に入力保護回路等を設けても、各実施の形態における半導体記憶装置の奏する効果を得ることができる。

【0089】

また、量産される半導体装置においては、内部の電気配線の配線長が設計値よりわずかに異なる場合があるため、電気配線の信号の伝播時間も設計値よりわずかに異なる場合が生じる。電気配線の信号の伝播時間の誤差は、電気配線が長いほど大きくなる。そこで、半導体装置において、電気配線長が長い部分に図2(a)に示した電気配線C_nまたは図8(a)および図8(b)に示した電気配線C_{a n}を使用し、溶断部を信号の伝播時間の誤差に応じて溶断すれば、電気配線の信号の伝播時間の誤差を補正することが可能となる。

【0090】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0091】

【発明の効果】

以上説明したように、本発明の半導体装置は、遅延回路によって複数の異なる遅延時間をそれぞれ付与された入力信号と内部回路の出力信号との比較結果により、内部回路が入力信号に応じて所定処理を行なって出力する信号が半導体装置外部へ出力される所要時間を測定および評価することができる。すなわち、外部のテスト装置と測定対象となる半導体装置との間での電気配線の経路が測定精度に与える悪影響を考慮することなく、入出力信号間のタイミング差を高精度に測定することができる。この結果、非常に高性能で高価な測定装置が必要なくなるため、測定設備のコストの高騰に伴う生産コストの高騰を抑制できる。

【図面の簡単な説明】

【図1】 本願発明に従う半導体装置の代表例として示される半導体記憶装置のタイミング測定に関する部分の構成を示すブロック図である。

【図2】 電気信号の経路長を変化させることができ電気配線の構成を説

明するための図である。

【図3】 比較回路の構成を示す回路図である。

【図4】 テストモード時の半導体装置の動作を説明するための動作波形図である。

【図5】 実施の形態1に従う、比較回路の出力信号である判定信号の状態を示した動作波形図である。

【図6】 変換回路の構成を示す回路図である。

【図7】 実施の形態1の変形例1に従う半導体装置の構成を示すブロック図である。

【図8】 電気配線および信号配線において、電気信号の伝播時間を変化させる別の構成を説明するための図である。

【図9】 実施の形態2に従う半導体装置の構成を示すブロック図である。

【図10】 判定回路の構成を示す回路図である。

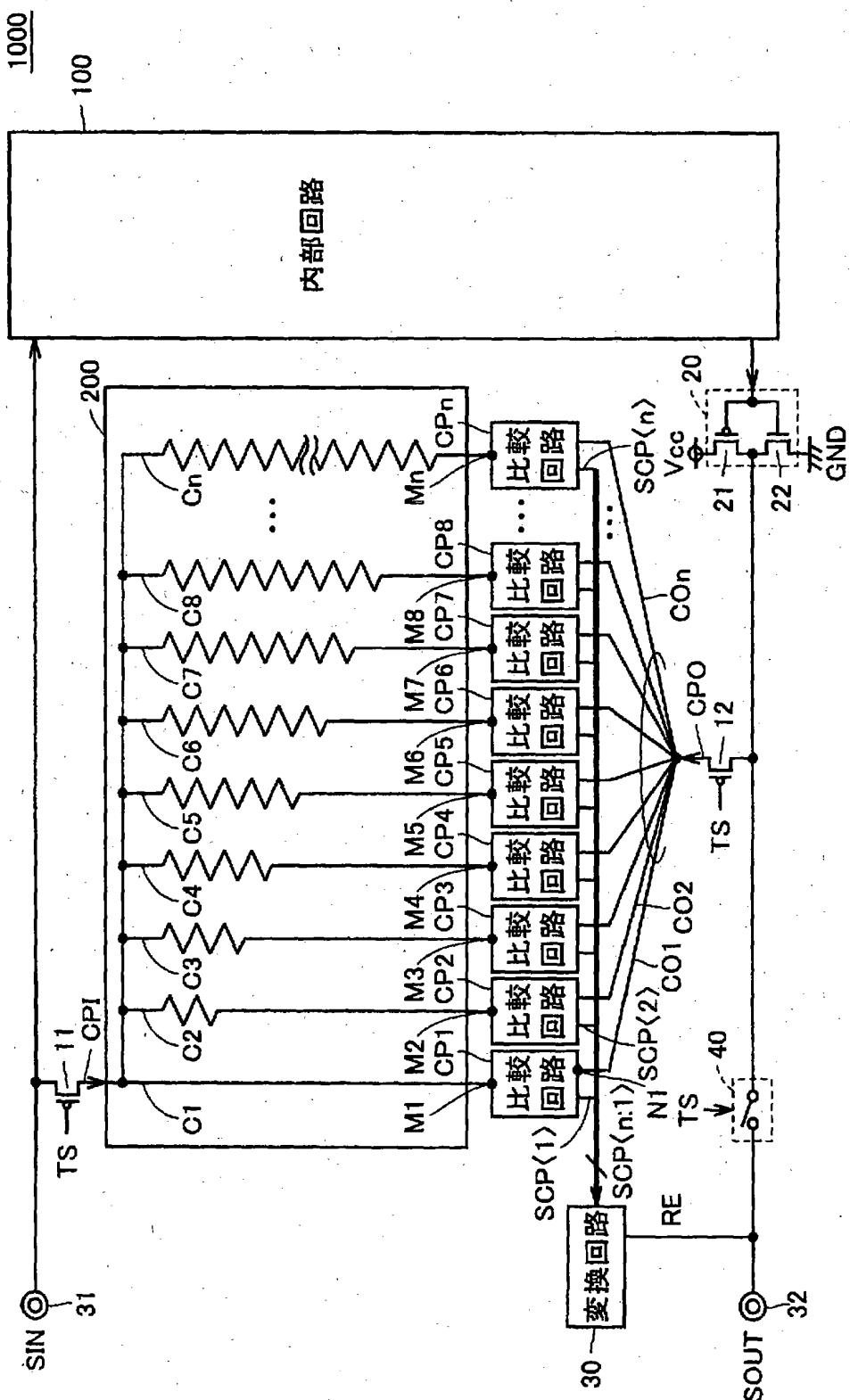
【符号の説明】

20 データ出力回路、40 スイッチ回路、100 内部回路、200, 200a 遅延回路、C1~Cn, Ca1~Can 電気配線、LC1~LCm 経路長変化部、ML1~MLm 主配線部、SL1~SLm 副配線部、B1~Bm 溶断部、CP1~CPn 比較回路、CO1~CON, COa1~COan 信号配線、30 変換回路、50 判定回路、51, 52, 53, 54 O R回路、60 モードレジスタ、1000, 1000a, 1000b 半導体記憶装置。

【書類名】

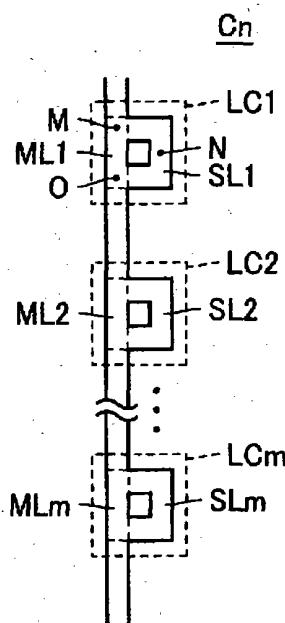
四面

【図1】

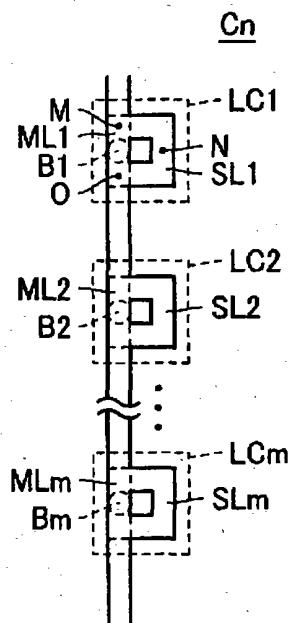


【図2】

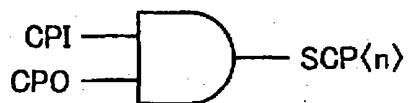
(a)



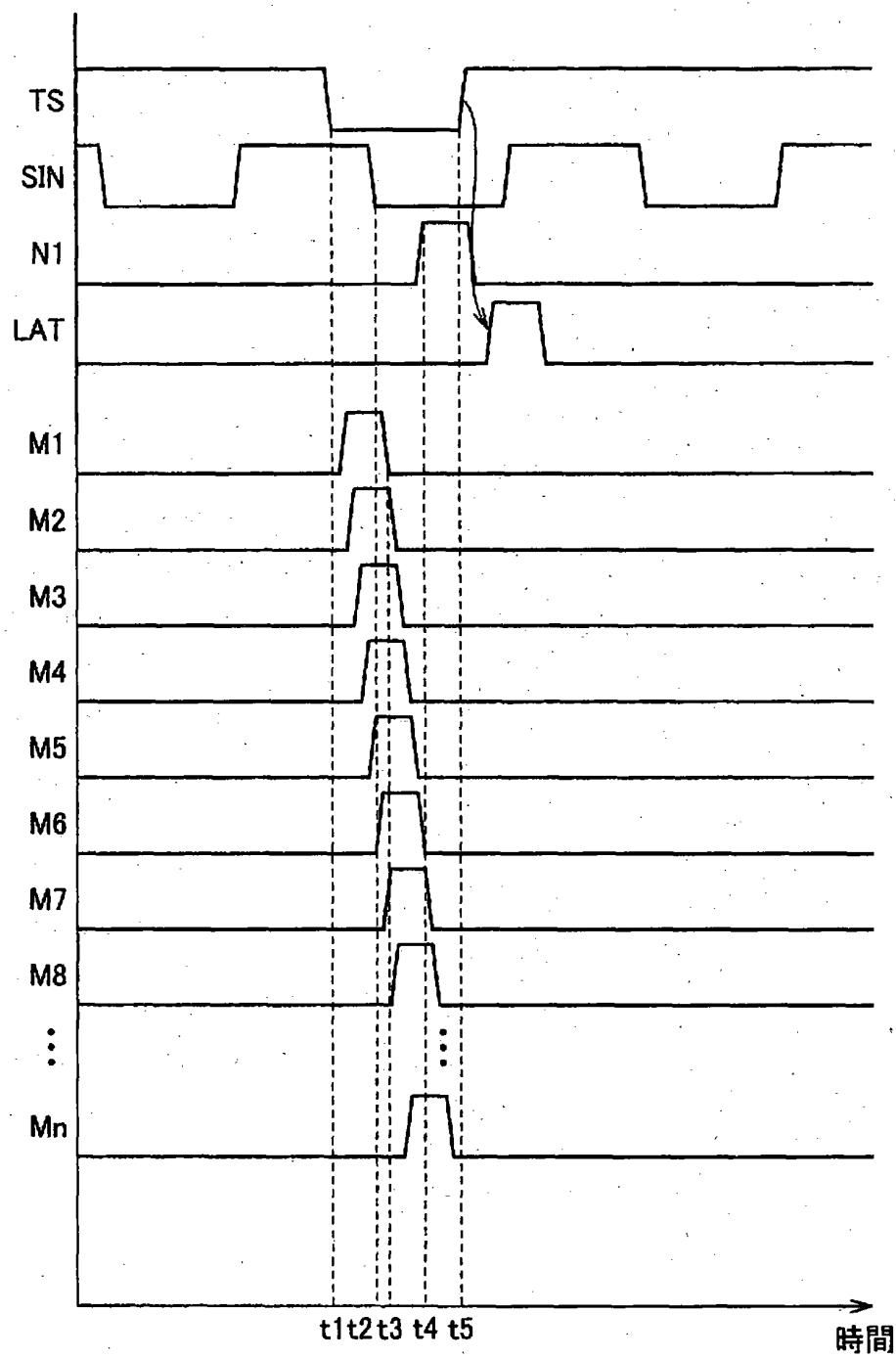
(b)



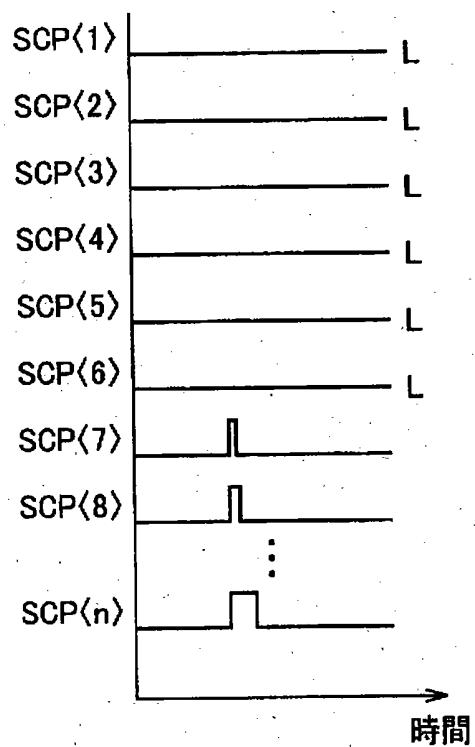
【図3】

CPn

【図4】

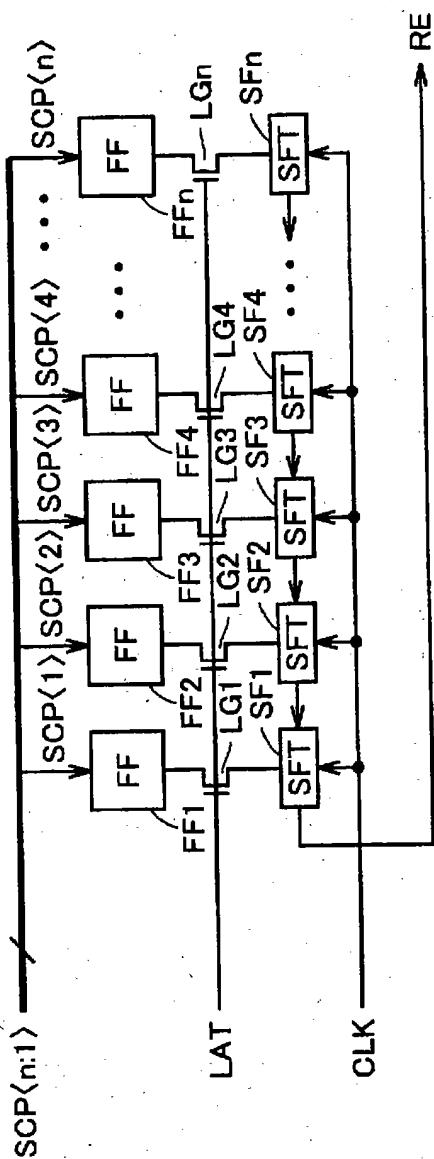


【図5】

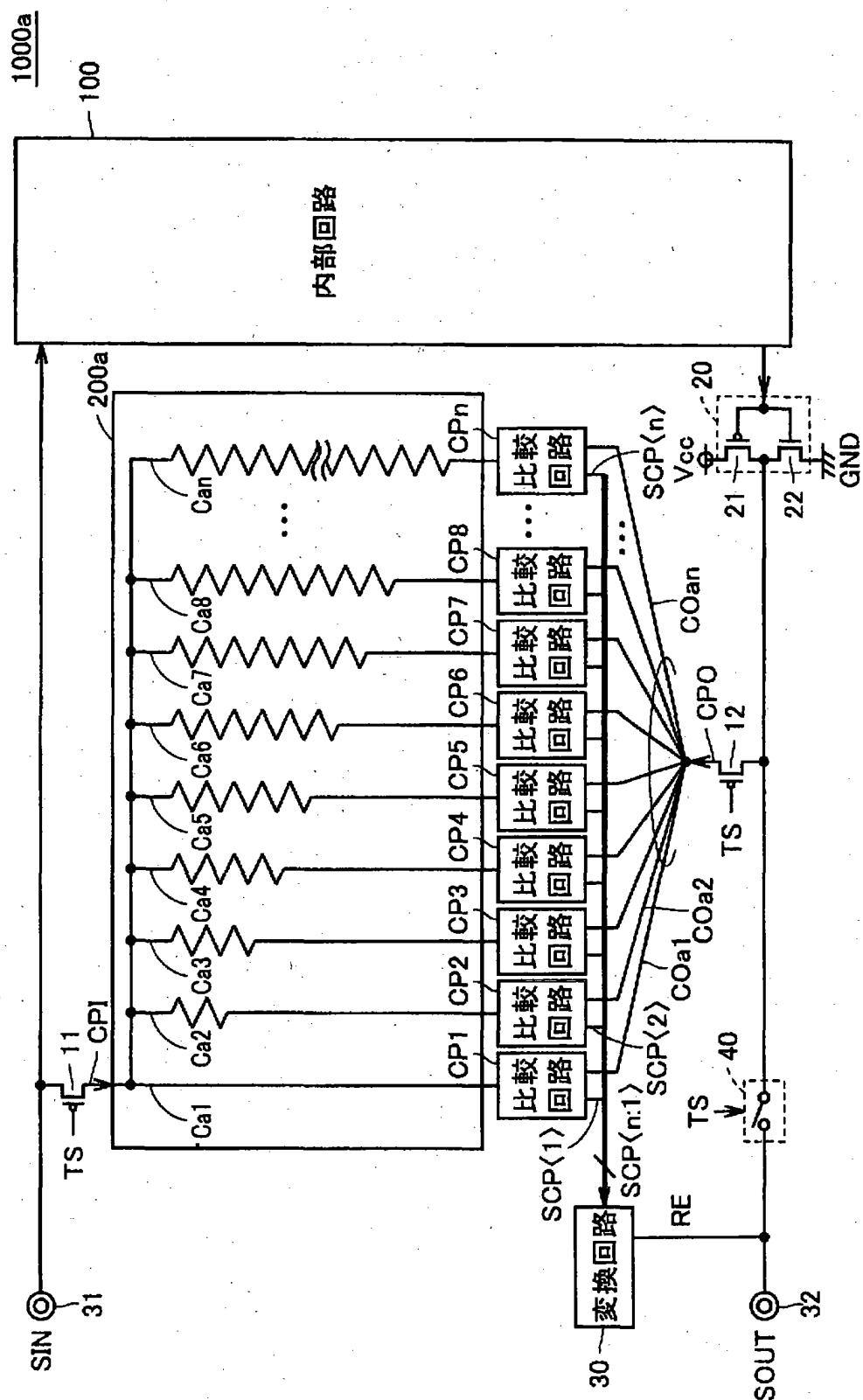


【図6】

30

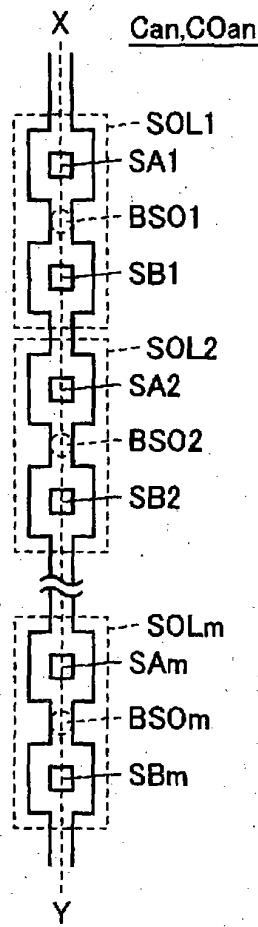


【図7】

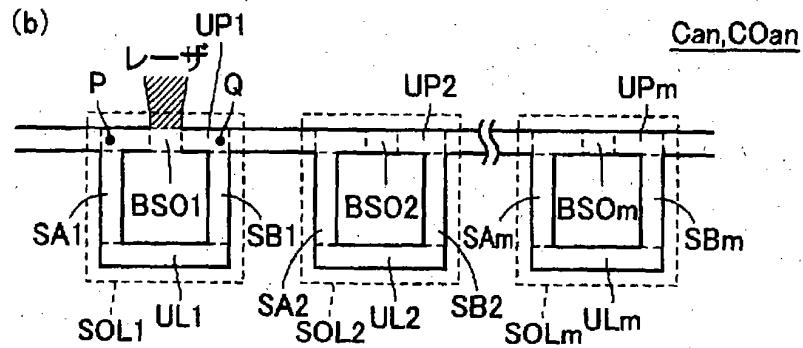


【図8】

(a)



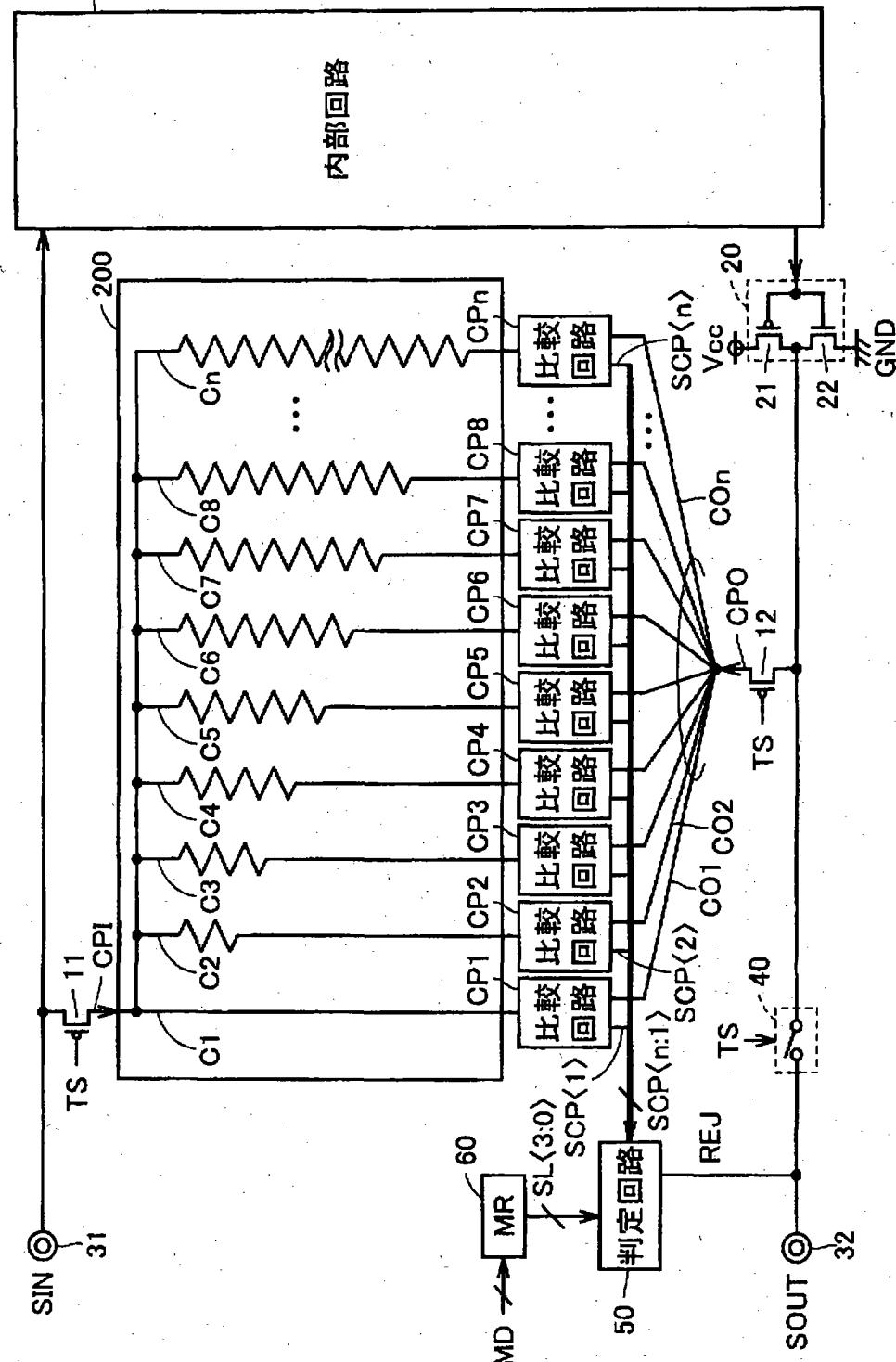
(b)



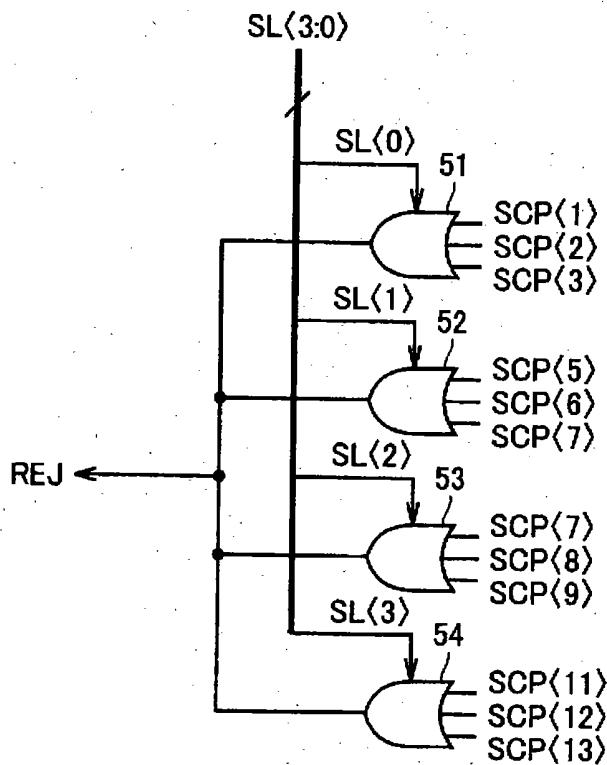
【図9】

1000b

100



【図10】

50

【書類名】 要約書

【要約】

【課題】 低コストでかつ、入出力信号間のタイミング差を高精度に測定可能な半導体装置を提供する。

【解決手段】 入力信号に応じて、所定処理を行なう内部回路と、所定処理に応じた出力信号が出力されるまでの時間と所望の時間で信号を伝達するように調整された配線長を有する電気配線の入力信号の伝播時間とを比較する比較回路とを備える。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社